

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-272657

(43)Date of publication of application : 05.10.2001

(51)Int.Cl.

G02F 1/133

G02F 1/141

G09G 3/20

G09G 3/36

(21)Application number : 2000-086096

(71)Applicant : CANON INC

(22)Date of filing : 27.03.2000

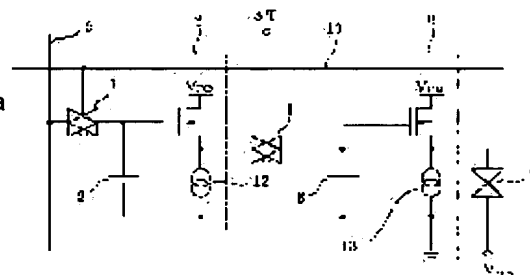
(72)Inventor : YOSHIDA DAISUKE

(54) LIQUID CRYSTAL ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an active matrix type liquid crystal element wherein all pixel batch writing suitable for color display is attained by a field sequential system, and a chiral smectic liquid crystal is driven with low power consumption.

SOLUTION: An information signal written to 1st holding capacitance via a 1st switching means 1 is written to 2nd holding capacitance 5 via a 1st source follower circuit 3 and a 2nd switching means 4 by switching on the 2nd switching means 4 for all the pixels in batch, and is further written to pixel capacitance 7 via a source follower circuit 6.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

【特許請求の範囲】

【請求項 1】 複数の画素を備え、一対の基板と、該基板間に挟持された液晶と、画素毎に液晶をアクティブマトリクス駆動する電極を有する液晶素子であって、一方の基板上に、複数の走査信号線と情報信号線と、さらに画素毎に、走査信号線からの走査信号によりオン・オフを制御される第 1 のスイッチング手段と、該第 1 のスイッチング手段を介して情報信号線より情報信号が入力される第 1 のバッファ回路と、該第 1 のバッファ回路の出力端子より第 2 のスイッチング手段を介して情報信号が入力される第 2 のバッファ回路と、該第 2 のバッファ回路の出力端子に接続された画素電極と、を備え、上記第 2 のスイッチング手段のオン・オフを全画素共通に制御する手段を備えたことを特徴とする液晶素子。

【請求項 2】 第 1 のバッファ回路の入力端子に第 1 の保持容量が接続され、第 2 のバッファ回路の入力端子には第 2 の保持容量が接続されている請求項 1 に記載の液晶素子。

【請求項 3】 第 1 のバッファ回路及び第 2 のバッファ回路を非動作状態にする手段を備えた請求項 1 または 2 に記載の液晶素子。

【請求項 4】 上記液晶がカイラルスメクチック相を有する液晶である請求項 1 ～ 3 のいずれかに記載の液晶素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、フラットパネルディスプレイに用いられる液晶素子に関し、特に、フィールドシーケンシャル方式に適したアクティブマトリクスタイプの液晶素子に関する。

【0002】

【従来の技術】 近年、画素毎にスイッチング素子を配置し、該スイッチング素子を介して液晶を画素毎に駆動するアクティブマトリクス型の液晶素子が広く提供されてきている。図 5 にこのアクティブマトリクス型の液晶素子の一例に周辺駆動回路を接続した状態を模式的に示す。図中、1 は画素毎に配置したスイッチング手段、7 は液晶容量、55 は液晶容量 7 と並列に形成された保持容量、9 は情報信号線、10 は走査信号線、51 は垂直シフトレジスタ、52 は水平シフトレジスタ、53 は映像信号 (Data) をサンプリングするためのスイッチング手段、54 は映像信号線である。

【0003】 図 5 の構成においては、垂直シフトレジスタ 51 より走査信号線 10 に順次走査選択信号が印加され、スイッチング手段 1 がオンする。これと同期して、水平シフトレジスタ 52 よりスイッチング手段 53 が順次オンして映像信号線 54 より映像信号を情報信号としてサンプリングし、情報信号線 9 に転送する。情報信号線 9 に転送された情報信号線は、選択されてオンしたスイッチング手段 1 を介して保持容量 55 及び液晶容量

7 に書き込まれ、当該画素の液晶に必要な電圧が印加される。

【0004】 図 5 の構成では、各画素への書き込みは走査信号線 10 毎、即ち線順次に行われる。そのため、当該液晶素子を用いて、フィールドシーケンシャル方式によりカラー表示を行う場合、光源の点灯期間を長くとれず表示輝度が低下する。図 6 を用いて説明する。図中 (a) が本構成の液晶素子を用いた場合のタイミングチャートである。

10 【0005】 フィールドシーケンシャル方式でカラー表示を行う場合、1 フレーム (1 F) を R (赤) フィールド (F_R)、G (緑) フィールド (F_G)、B (青) フィールド (F_B) の 3 フィールドに分割し、各フィールドをさらに情報信号書き込み (T_w)、液晶応答 (T_R)、光源点灯 (T_L) の各期間に分割する。図 5 の構成では、線順次で画素に情報信号書き込みを行うため、情報信号書き込み期間が長く、光源点灯期間に限界がある。

20 【0006】 一方、図 6 (b) は全画素一括に情報信号を書き込む構成の液晶素子を用いた場合であり、当該液晶素子においては、先行する他の色のフィールドの光源点灯期間内に実質的には情報信号の画素への書き込みが行われているが、画素電極には書き込まれておらず、全画素に情報信号が書き込まれた段階で、全画素一斉に画素電極に該情報信号が転送される。従って、線順次で書き込む図 5 の液晶素子に比べて情報信号書き込み期間が実質的に短く、光源点灯期間を長くにとって高輝度の表示を行うことができる。

30 【0007】 図 7、図 8 は図 6 (b) に示した全画素一括書き込みが可能な液晶素子の 1 画素分の構成例であり、図中、3 はソースフォロア回路、4 は第 2 のスイッチング手段、12 は定電流源、2 は第 1 の保持容量、図 5 と同じ部材には同じ符号を付した。また、便宜上 55 は第 2 の保持容量と記す。また、図 7、図 8 において便宜上、図 5 の信号線 10' は省略する。

40 【0008】 図 7 の構成では、図 5 の液晶素子と同様に、線順次でスイッチング手段 1 を介して情報信号が情報信号線 9 より書き込まれるが、第 2 のスイッチング手段 4 がオフしているため、この時点では該情報信号は一旦第 1 の保持容量 2 に保持される。全画素の第 1 の保持容量 2 に情報信号が書き込まれた後、全画素の第 2 のスイッチング手段を一斉にオンすることにより、第 1 の保持容量 2 の保持された情報信号が第 2 の保持容量 55 及び液晶容量 7 に一斉に書き込まれる。

【0009】 また、図 8 の構成では、図 7 の構成と同様に、線順次でスイッチング手段 1 を介して第 1 の保持容量 2 に情報信号が書き込まれ、第 2 のスイッチング手段 4 を全画素一斉にオンして第 1 の保持容量 2 に保持された情報信号がソースフォロア回路 3 を介して第 2 の保持容量 55 及び液晶容量 7 に一斉に書き込まれる。

50 【0010】

【発明が解決しようとする課題】前記した図7、図8の構成を有する液晶素子では、画素電極の電位が第2の保持容量55によってのみ固定されており、インピーダンスを十分低くできない。そのため、液晶材料として自発分極を有する強誘電性液晶（FLC）や反強誘電性液晶（AFLC）などのカイラルスメクチック相を有する液晶（いわゆるカイラルスメクチック液晶）を用いた場合、自発分極の反転によって画素電極電位が変化してしまうという問題点があった。また、図7に示した構成では、第1の保持容量2と第2の保持容量55の容量分割比で画素電極に印加される信号電圧が決まるため、情報信号としては、この容量分割比を考慮して実際に液晶に印加される電圧よりも大きな振幅が要求される。そのため、駆動回路の高電圧化が必要となり、結果として素子にはより高耐圧が要求され、同時に消費電力が大きくなると言う問題点があった。

【0011】本発明は上記課題に鑑みなされたものであり、その課題は、フィールドシーケンシャル方式に適した全画素一括書き込みが可能で、且つ、自発分極を有するカイラルスメクチック液晶を用いた場合でも自発分極の反転による電圧降下を補償するため、画素電極電位を十分低いインピーダンスで固定でき、低電圧駆動が可能で消費電力を抑えた液晶素子を提供することにある。

【0012】

【課題を解決するための手段】本発明は、複数の画素を備え、一対の基板と、該基板間に挟持された液晶と、画素毎に液晶をアクティブマトリクス駆動する電極を有する液晶素子であって、一方の基板上に、複数の走査信号線と情報信号線と、さらに画素毎に、走査信号線からの走査信号によりオン・オフを制御される第1のスイッチング手段と、該第1のスイッチング手段を介して情報信号線より情報信号が入力される第1のバッファ回路と、該第1のバッファ回路の出力端子より第2のスイッチング手段を介して情報信号が入力される第2のバッファ回路と、該第2のバッファ回路の出力端子に接続された画素電極と、を備え、上記第2のスイッチング手段のオン・オフを全画素共通に制御する手段を備えたことを特徴とする液晶素子である。

【0013】上記本発明は、第1のバッファ回路の入力端子に第1の保持容量が接続され、第2のバッファ回路の入力端子には第2の保持容量が接続されていること、第1のバッファ回路及び第2のバッファ回路を非動作状態にする手段を備えたこと、上記液晶がカイラルスメクチック相を有する液晶であること、を好ましい態様として含むものである。

【0014】

【発明の実施の形態】図1は、本発明の液晶素子の一実施形態の1画素の構成を示す等価回路図である。本実施形態では、第1及び第2のバッファ回路にソースフォロア回路を用い、さらに、第1のバッファ回路の入力端子

に第1の保持容量を、第2のバッファ回路の入力端子には第2の保持容量をそれぞれ接続している。画素の配置や配線については、先に説明した図5の従来の構成と同様である。但し、スイッチング手段に接続された信号線10'は便宜上、省略する。図1中、1は第1のスイッチング手段、2は第1の保持容量、3は第1のバッファ回路である第1のソースフォロア回路、4は第2のスイッチング手段、5は第2の保持容量、6は第2のバッファ回路である第2のソースフォロア回路、7は液晶容量、9は情報信号線、10は走査信号線、12、13は定電流源である。

【0015】本実施形態の液晶素子においては、走査信号線10が順次選択されて走査選択信号が印加され、該走査選択信号に同期して対応する走査信号線10に接続された各画素が表示すべき映像信号が情報信号としてサンプリングされて各情報信号線9に印加される。走査選択信号の印加によって当該画素の第1のスイッチング手段がオンし、第1のスイッチング手段1を介して情報信号線9より情報信号が第1の保持容量2に印加される。同様の動作が全走査信号線に対して行われ、1フィールド分の映像信号が各画素の第1の保持容量2に情報信号として蓄積される。この間、φTには第2のスイッチング手段4をオフとする信号が印加されている。

【0016】次に、φTに第2のスイッチング手段4をオンとする信号を印加して全ての第2のスイッチング手段4をオンとし、第1の保持容量2から第1のソースフォロア回路と第2のスイッチング手段4を介して第2の保持容量5に情報信号が書き込まれ、この情報信号は第2のソースフォロア回路6によって画素電極に十分低いインピーダンスで印加され、液晶容量7に蓄積される。この後、φTに第2のスイッチング手段4をオフとする信号を再び印加する。

【0017】上記動作を繰り返すことにより画像表示を行う。

【0018】図2に、本発明の液晶素子の第2の実施形態の1画素の構成を示す等価回路を示す。本実施形態は、本発明にかかる第1のバッファ回路及び第2のバッファ回路を非動作状態にする手段を備えた液晶素子である。

【0019】図2において、22はソースフォロア回路3の負荷トランジスタ、24はソースフォロア回路6の負荷トランジスタであり、図1と同じ部材には同じ符号を付した。本構成の液晶素子では、ソースフォロア回路3、6において、負荷トランジスタ22、24のゲート電位をしきい値電圧より高くすることによって当該回路をバッファ回路として動作させ、しきい値電圧より低くすることによって非動作とすることができる。

【0020】本実施形態では、全てのアクティブ素子をnチャネル型トランジスタで構成している。通常のアクティブマトリクス回路では、nチャネル型トランジスタ

10

20

30

40

50

とpチャネル型トランジスタとは互いに電氣的に絶縁するために、一定以上の距離をおいて配置される。この距離は一般に同じ導電型のトランジスタの絶縁のために必要とされる距離よりも大きい。このことはレイアウト上、一種の導電型のトランジスタのみで構成される方が面積が小さくできることを意味する。さらに、ソースフォロア回路3、6にそれぞれ設けた負荷トランジスタ22、24のゲートは、それぞれref1、ref2で制御され、動作時以外は負荷トランジスタをオフ状態とすることも可能であり、消費電力を少なくすることができる。

【0021】本発明の液晶素子は、第2のスイッチング手段のオン・オフを全画素共通に制御して、全画素の画素電極に一斉に情報信号を書き込むため、これに同期して画素電極に対向する対向電極（共通電極）の電位（ V_{com} ）を反転させる、コモン反転駆動を行うことができる。図3はこの駆動方式を概念的に示した波形図である。図3（a）はコモン反転を行わない場合、（b）はコモン反転駆動である。

【0022】対向電極電位、即ちコモン電位 V_{com} を一定とする場合、情報信号 V_s の振幅は図3（a）に示すように、より大きな振幅が必要となる。一方、コモン電位を一定周期毎に反転する場合、図3（b）に示したように、情報信号 V_s の振幅は（a）の場合の概略半分であり、低電圧駆動が可能である。本発明のように全画素一括書き込みを行う場合、情報信号が書き込まれる直前にコモン電位を反転すれば良く、対向電極を複数に分割する必要もなく、容易にコモン反転駆動が実現することになる。

【0023】図2の構成の液晶素子をコモン反転駆動するタイミングを図4に示したチャートを用いて説明する。映像信号（Data）が1フィールド（1F）相当分、各画素の第1の保持容量に情報信号として蓄積された後、 V_{com} の電位を変化させ、且つ、 ϕT 、ref1、ref2にパルス印加して各画素の液晶容量に一斉に情報信号を書き込む（ t_w ）。そして、次のフィールドでは映像信号の極性を反転させ、以下同様の動作を繰り返すことにより、画像表示を行う。

【0024】さらに、上記動作を、R、G、Bの各フィールドで行い、R、G、Bの各光源を順次点灯させれば、図6（b）に示したフィールドシーケンシャル方式によるカラー表示を行うことができる。

【0025】図4に示したように、ref1、ref2をパルス駆動することにより、ソースフォロア回路3、6を書き込み時のみ動作状態とし、それ以外の期間は非動作状態としている。このようにすることにより、低消費電力で駆動することができる。

【0026】一方、液晶として自発分極を有するカイラ

ルスメクチック液晶を用いた場合には、画素電極電位を十分低いインピーダンスで固定することが望ましいため、図4のref2に代えて一定レベルのref2'を用い、第2のソースフォロア回路6を常に動作状態にすることが望ましい。

【0027】

【発明の効果】以上説明したように、本発明によれば、全画素一括書き込みが可能であり、フィールドシーケンシャル方式によるカラー表示を行うことができ、同時に、カイラルスメクチック液晶を用いた場合でも、画素電極電位を十分低いインピーダンスで固定することができるため、自発分極の反転による電圧降下を補償して高輝度、高コントラストの表示を低消費電力で行うことができる。

【図面の簡単な説明】

【図1】本発明の液晶素子の一実施形態の1画素の構成を示す等価回路図である。

【図2】本発明の液晶素子の他の実施形態の1画素の構成を示す等価回路図である。

【図3】コモン反転駆動方式の波形図である。

【図4】図2の構成を備えた液晶素子をコモン反転駆動する際のタイミングチャートである。

【図5】従来のアクティブマトリクス型の液晶素子の一例に周辺駆動回路を接続した状態の平面模式図である。

【図6】従来の液晶素子をフィールドシーケンシャル方式によりカラー表示を行う場合のタイミングチャートである。

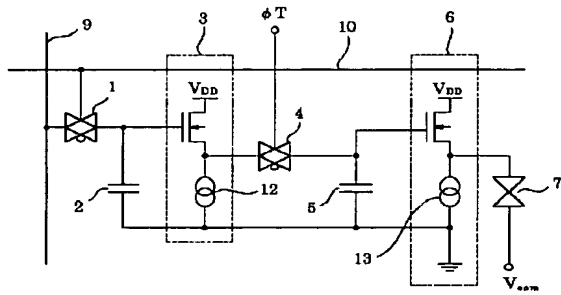
【図7】全画素一括書き込みが可能な従来の液晶素子の1画素の構成を示す等価回路図である。

【図8】全画素一括書き込みが可能な従来の他の液晶素子の1画素の構成を示す等価回路図である。

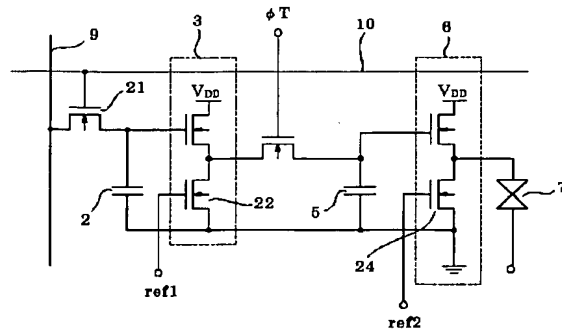
【符号の説明】

- 1 第1のスイッチング手段
- 2 第1の保持容量
- 3 第1のソースフォロア回路
- 4 第2のスイッチング手段
- 5 第2の保持容量
- 6 第2のソースフォロア回路
- 7 液晶容量
- 9 情報信号線
- 10 走査信号線
- 12、13 定電流源
- 22、24 負荷トランジスタ
- 51 垂直シフトレジスタ
- 52 水平シフトレジスタ
- 53 サンプルングスイッチング手段
- 54 映像信号線
- 55 保持容量

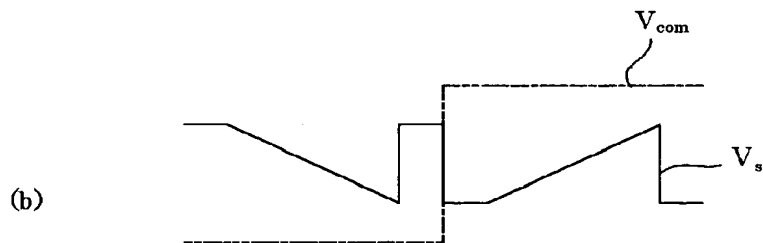
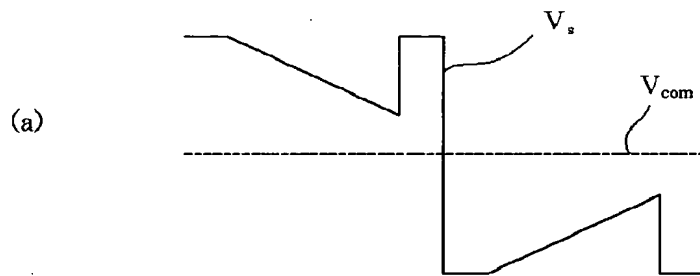
【図1】



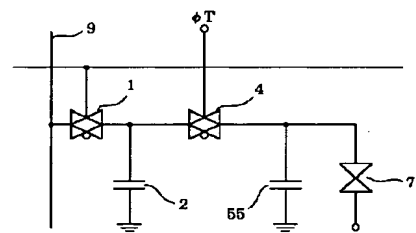
【図2】



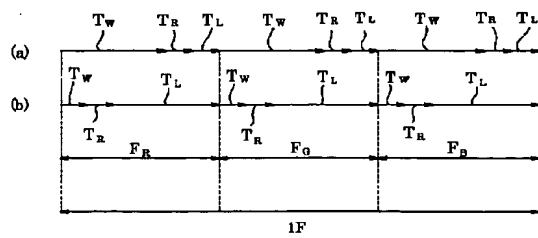
【図3】



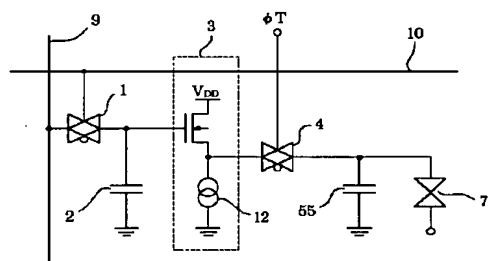
【図7】



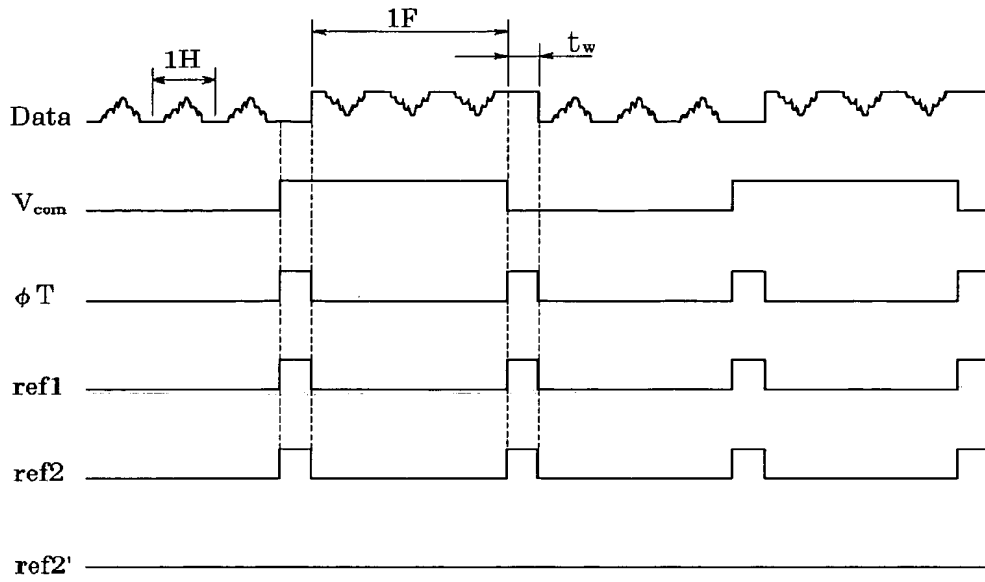
【図6】



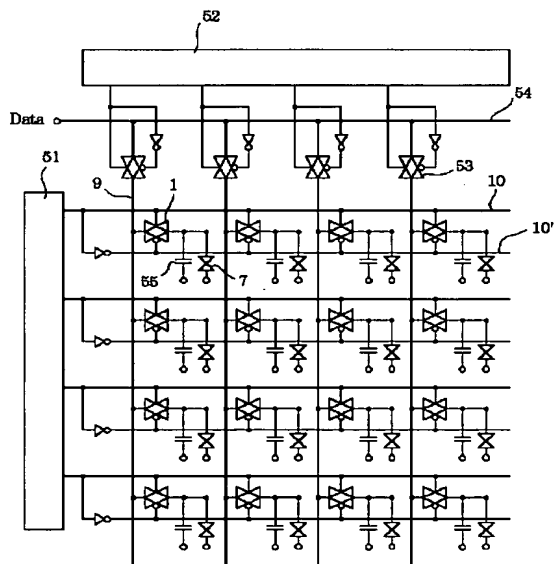
【図8】



【図4】



【図5】



フロントページの続き

Fターム(参考) 2H088 GA04 GA17 HA06 JA17 KA28
MA02 MA06
2H093 NA36 NB07 NB11 NC02 NC62
NC90 ND17 ND33 ND36 ND38
ND39 NF17 NH02
5C006 AA21 AC25 AC26 AC28 BA11
BA19 BB16 BC06 FA46 FA47
FA54
5C080 AA10 BB05 CC03 DD01 DD26
EE30 FF11 JJ02 JJ03 JJ04